

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 59-74677 (A) (43) 27.4.1984 (19) JP

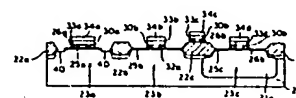
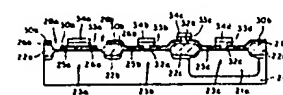
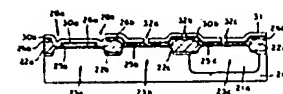
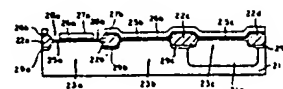
(21) Appl. No. 57-184493 (22) 22.10.1982

(71) RICOH K.K. (72) SATOSHI JINNO(2)

(51) Int. Cl. H01L29/78, G11C11/40, H01L27/10

PURPOSE: To avoid the damage of a substrate in a non-memory region by a method wherein a device region in the non-memory region is so constituted as to be etched in the state of being covered double with insulation layers.

CONSTITUTION: Poly Si layers 26 are formed on a substrate 21 wherein field oxide films 22a~22d and insulation layers 25a~25c are formed on the surface. In the device 23a to form a memory transistor, a poly Si layer part 26a is formed by selectively etching and removing the layer 26. Next, the second insulation layers 30a, 30b are formed by oxidizing the entire surface. Then, in the non-memory region, apertures 32a~32c are formed by selectively etching the layer 30b, and thus the layer 26 is exposed. Poly Si layers 33 doped with an impurity are formed over the entire surface. The poly Si layer parts 33a~33d are formed by selectively etching and removing the layer 33. The layer 30 and the layer 26 are etched and removed with the remnant photo resist parts 34a~34d and parts 33a~33d existent thereunder as a mask.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—74677

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和59年(1984)4月27日

H 01 L 29/78

7514—5F

G 11 C 11/40

1 0 1

6549—5B

H 01 L 27/10

6655—5F

発明の数 2

審査請求 未請求

(全 11 頁)

⑭ 半導体装置及びその製造方法

6号株式会社リコー内

⑮ 特 願 昭57—184493

⑯ 発 明 者 京増幹雄

⑰ 出 願 昭57(1982)10月22日

東京都大田区中馬込1丁目3番

⑱ 発 明 者 神埜聡

6号株式会社リコー内

東京都大田区中馬込1丁目3番

⑲ 出 願 人 株式会社リコー

6号株式会社リコー内

東京都大田区中馬込1丁目3番

⑳ 発 明 者 野村幸司

6号

東京都大田区中馬込1丁目3番

㉑ 代 理 人 弁理士 小橋正明

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 半導体基板の表面に形成した一対の拡散領域と前記半導体基板上で前記一対の拡散領域間に延在させて第1絶縁層を介して形成した第1ゲート電極と前記第1ゲート電極上に形成した第2絶縁層上に前記第1ゲート電極と電気的に分離させて形成した第2ゲート電極とで構成した第1トランジスタと、一方前記半導体基板に形成された絶縁分離領域によって前記第1トランジスタと横方向に分離された位置で前記半導体表面に形成した別の一対の拡散領域と前記半導体基板上で前記別の一対の拡散領域間に延在させて第3絶縁層を介して形成した第3ゲート電極と前記第3ゲート電極上に形成した第4絶縁層上に形成した第4ゲート電極と前記第4絶縁層を貫通し前記第3ゲート電極と第4ゲート電極とを電気的に接続させる貫通電極とで構成した第2トランジスタとを有す

る事を特徴とする半導体装置。

2. 上記第1項に於いて、前記第1トランジスタがメモリトランジスタであり、前記第1ゲート電極がフローティングゲート電極であり、前記第2ゲート電極が制御ゲート電極である事を特徴とする半導体装置。

3. 上記第1項に於いて、前記第1ゲート電極と前記第3ゲート電極及び前記第2ゲート電極と前記第4ゲート電極は夫々同一の物質で同一の工程で形成されたものである事を特徴とする半導体装置。

4. 上記第1項に於いて、前記絶縁分離領域は前記半導体基板を選択酸化して形成したフィールド酸化領域であり、前記貫通電極を前記フィールド酸化領域上方に位置させた事を特徴とする半導体装置。

5. 上記第1項に於いて、前記第1及び第2ゲート電極を夫々ドーブしたポリシリコンで形成した事を特徴とする半導体装置。

6. フローティングゲート型メモリトランジ

スタを有するメモリ領域と絶縁ゲート型トランジスタを有する非メモリ領域とを具備した半導体装置の製造方法に於いて、

(a) 選択酸化処理を施し前記選択酸化によって画定されたデバイス領域全面に第1絶縁層を形成した半導体基板の表面上に所定の不純物をドーブした第1ポリシリコン層を付着形成し、

(b) 前記第1ポリシリコン層をメモリトランジスタを形成すべき前記メモリ領域に於いて所定のパターン形成を行なって選択的に前記第1ポリシリコン層をエッチング除去し、

(c) 全表面を酸化処理して第2絶縁層を形成し、

(d) 前記非メモリ領域に於いて前記第2絶縁層を選択的にエッチング処理して前記第2絶縁層に開口を穿設し前記第1ポリシリコン層を選択的に露出させ、

(e) 全表面上に所定の不純物をドーブした第2ポリシリコン層を被着形成し、

(f) 前記第2ポリシリコン層をパターン形

成すると共にパターン形成した第2ポリシリコン領域に自己整合させて前記第2ポリシリコン領域で被覆されていない前記第2絶縁層及び前記第1ポリシリコン層をエッチング除去し、その際に前記メモリ領域に於いては前記第1ポリシリコン層からフローティングゲートを又前記第2ポリシリコン層から制御ゲートを構成し且つ前記非メモリ領域に於いては前記第1ポリシリコン層と前記第2ポリシリコン層とを電気的に接続させて絶縁ゲート型トランジスタの絶縁ゲートを形成する、上記各工程を有する事の特徴とする方法。

3. 発明の詳細な説明

本発明は、半導体装置及びその製造方法に関するものであって、更に詳細には、フローティングゲートと制御ゲートとを有するSAMOS型のメモリトランジスタとMOS型の周辺トランジスタとを有する半導体装置及びその製造方法に関するものである。

従来、フローティングゲートの上方に絶縁層を介して制御ゲートを設けたSAMOS型のメモリ

セルを使用した半導体メモリが広く使用されている。この様なSAMOS型のメモリに於いては、FAMOS型のメモリセルと比較して、閾電圧の制御性が良く、又書込量をモニターできる等の性能上の高い信頼性が存在する事が特徴となっている。この様な従来のSAMOS型のメモリセルを有する半導体メモリの代表的な構造を第1図に示してある。

第1図に示した従来の半導体装置は半導体物質(通常、シリコン)から構成された基板1の表面にフィールド酸化膜2a、2b、2cが形成され、夫々のフィールド酸化膜の間に於いてデバイス領域3a及び3bが画定されている。デバイス領域3aにはメモリセルとしてSAMOS型のトランジスタが形成されている。即ち、デバイス領域3aの表面には一対の拡散領域4a及び4bが形成されている。これらの拡散領域は、基板1と反対の導電型を有する不純物を基板1内にドーブさせることによって形成する。一対の拡散領域4a、4bとの間に延在し基板1の表面上には絶縁層5a

が形成されており、更にその上にはフローティングゲート6aが形成されている。フローティングゲート6aは通常ドーブしたポリシリコンで形成される。フローティングゲート6aの上には層間酸化膜7が形成されており層間酸化膜7の上には制御ゲート8が形成されている。制御ゲート8は通常ドーブしたポリシリコンで形成される。

一方、フィールド酸化膜2bによって横方向に分離されたデバイス領域3bには通常のMOSトランジスタが形成されている。即ち、デバイス領域3bの基板1の表面には一対の拡散領域4c及び4dが所定間隔離隔して形成されている。これらの拡散領域は前述した拡散領域4a及び4bと同様に基板1と反対の導電型を有する不純物を導入する事によって形成する。一対の拡散領域4c及び4d間に延在し基板1の表面上には絶縁層5bが形成されており更にその上にはゲート6bが形成されている。ゲート6bは通常ドーブしたポリシリコンで形成される。更に、フィールド酸化膜2bの上には配線層9が形成されておりデバイ

領域に形成されたデバイス間の相互接続を行なう為に使用される。

第1図に示した構造を有する従来の半導体装置の製造方法に付いて以下説明する。先ず、半導体基板1の表面に選択酸化を施して、フィールド酸化膜2a、2b、2cを形成すると共に、デバイス領域3a、3bを画定する。第1図には示されていないが、選択酸化を施した後にゲート酸化を行ない、デバイス領域3a、3bの基板表面上には基板1の酸化物から構成される薄い絶縁層が全面に設けられている。次いで、全表面に第1ポリシリコン層を被着形成し、次いで第1ポリシリコン層をパターン形成する。この場合に第1ポリシリコン層からフローティングゲート6aを形成し、その他の部分の第1ポリシリコン層はエッチング除去する。次いで熱酸化を施してフローティングゲート6aを形成するポリシリコンを部分的に酸化させて層間酸化膜7を形成する。尚、このとき同時にメモリトランジスタ以外の周辺トランジスタのゲート酸化膜を形成させる。次いで、全面に

第2ポリシリコン層を被着形成し、第2ポリシリコン層を選択的にエッチング除去して制御ゲート8を形成すると共にデバイス領域3bに於いてゲート電極6b及びフィールド酸化膜2b上に配線層9を形成する。次いで、層間酸化膜7のエッチングを行なった後に、フローティングゲートとなる第1ポリシリコン層6aを制御ゲートとなる第2ポリシリコン層8に自己整合させてエッチング処理する。

以上の如き従来技術の半導体装置製造方法に於いては、層間酸化膜のエッチングを行なう工程に於いて、周辺トランジスタ、即ちデバイス領域3bに於ける拡散領域4c、4dの基板が露出されるので、次工程の自己整合エッチング工程に於いて、これらの露出された基板が損傷を受ける事となる。これらの損傷を受けた部分をAで第1図に示してある。このように基板が損傷を受けると配線間のメタルショートの原因となるので好ましくない。基板1が損傷を受け配線間のメタルショートが発生する場合に付いて第2a図乃至第2c図

及び第3図を参照して説明する。第2a図に示した如く、基板1がエッチングにより損傷を受ける場合には、フィールド酸化膜2bと拡散領域4cとの境界部分が損傷をうけやすく、溝10が形成される。次いでPSG膜11を全面に形成した場合に、フィールド酸化膜2bと拡散領域4cとの間には溝10が存在しているのでその上に被着形成されるPSG膜11にも溝12が形成される。このような状態でホトレジストを被着形成して所望の箇所にコンタクト用開口を穿設する為にホトエッチングを行なうと、PSG膜11の溝12の箇所に於いてはホトレジストの密着性が悪いので、エッチング液が中に入り込みPSG膜11がエッチングされる事となる。このようにして、第2c図に示した如く、フィールド酸化膜2bの先端部に沿ってPSG膜11に溝13が形成される。次いでPSG膜11の上にメタル配線を形成する工程に於いて、溝13内にメタルが残存し、第3図に示した如く、フィールド酸化膜2と拡散領域4との境界に沿って残存メタル16が形成される事

となる。第3図から明らかな如く、このような残存メタル16は、拡散領域4へコンタクト14aを介して接続されるメタル配線14と他の任意のメタル配線15とをショートさせる結果となる。特に、一チップ内に於いて多数のメモリトランジスタが二次元アレイ状に形成されるメモリ領域と異なり、その周囲に形成されるデコーダ等を構成する周辺領域に於いては多数のMOSトランジスタを相互接続して所望の論理回路を形成するものであるから、必要としない箇所にメタルライン16が形成される事は配線間のショートの原因となり半導体装置製造上の歩留りを低下させる原因となる。更に、上述した如き従来の半導体装置の製造方法に於いては、層間酸化膜と周辺トランジスタのゲート酸化膜とを同時に形成するものであるから、このような酸化膜を熱酸化によって形成する場合に、メモリトランジスタのフローティングゲートを形成する既にシリコン基板1上に形成されている第1ポリシリコン層6aから不純物が流れだし、周辺トランジスタ3bのチャンネル部分がオ

ートドーピングされる事となる。従って、周辺トランジスタのスレッシュホールドのばらつきが増大し、この点からも製品の歩留りが頭打ちとなっている。

本発明は以上の点に鑑み成されたものであって、上述した如き従来技術の欠点を解消した新規な構成を有する半導体装置及びその製造方法を提供する事を目的とする。特に、本発明の第1の目的とする所は、相互接続線の抵抗を減少させ、高速動作を可能とした半導体装置を提供する事である。本発明の第2の目的とする所は、特に複雑な配線が必要とする周辺領域に於いて配線の自由度を増加させた半導体装置を提供する事である。更に本発明の第3の目的とする所は、メモリ領域以外の周辺領域に於いて、基板が損傷を受ける事を防止した半導体装置及びその製造方法を提供するものである。更に、本発明の第4の目的とする所は、周辺領域に形成するMOSトランジスタのゲート酸化膜を形成する熱酸化工程に於いてオートドーピングが発生する事を防止した半導体装置の製造

方法を提供する事である。

本発明の一特徴によれば、新規な構成を有する半導体装置を提供するものであって、該半導体装置が、半導体基板の表面に形成した一对の拡散領域と前記半導体基板上で前記一对の拡散領域間に延在させて第1絶縁層を介して形成した第1ゲート電極と前記第1ゲート電極上に形成した第2絶縁層上に前記第1ゲート電極と電気的に分離させて形成した第2ゲート電極とで構成した第1トランジスタと、一方前記半導体基板に形成された絶縁分離領域によって前記第1トランジスタと横方向に分離された位置で前記半導体表面に形成した別の一对の拡散領域と前記半導体基板上で前記別の一对の拡散領域間に延在させて第3絶縁層を介して形成した第3ゲート電極と前記第3ゲート電極上に形成した第4絶縁層上に形成した第4ゲート電極と前記第4絶縁層を貫通し前記第3ゲート電極と第4ゲート電極とを電気的に接続させる貫通電極とで構成した第2トランジスタとを有する事を特徴とするものである。

本発明の別の特徴によれば、フローティングゲート型メモリトランジスタを有するメモリ領域と、絶縁ゲート型トランジスタを有する非メモリ領域とを具備した半導体装置の製造方法を提供するものであって、前記方法が、(a)選択酸化処理を施し前記選択酸化によって画定されたデバイス領域全面に第1絶縁層を形成した半導体基板の表面上に所定の不純物をドーブした第1ポリシリコン層を被着形成し、(b)前記第1ポリシリコン層をメモリトランジスタを形成すべき前記メモリ領域に於いて所定のパターン形成を行なって選択的に前記第1ポリシリコン層をエッチング除去し、(c)全表面を酸化処理して第2絶縁層を形成し、(d)前記非メモリ領域に於いて前記第2絶縁層を選択的にエッチング処理して前記第2絶縁層に開口を穿設し前記第1ポリシリコン層を選択的に露出させ、(e)全表面上に所定の不純物をドーブした第2ポリシリコン層を被着形成し、(f)前記第2ポリシリコン層をパターン形成すると共にパターン形成した第2ポリシリコン領域に自己

重合させて前記第2ポリシリコン領域で被覆されていない前記第2絶縁層及び前記第1ポリシリコン層をエッチング除去し、その際に前記メモリ領域に於いては前記第1ポリシリコン層からフローティングゲートを又前記第2ポリシリコン層から制御ゲートを構成し且つ前記非メモリ領域に於いては前記第1ポリシリコン層と前記第2ポリシリコン層とを電気的に接続させて絶縁ゲート型トランジスタの絶縁ゲートを構成する事を特徴とするものである。

以下、添付の図面を参考に、本発明の具体的実施の態様に付いて詳細に説明する。第4図乃至第11図は本発明半導体装置製造方法の一実施例に於ける各段階を示した各断面図である。第4図に示した如く、半導体基板21は例えばP導電型の不純物で軽度ドーブされた半導体物質から構成されており、半導体基板21の選択部分には基板21とは反対導電型の不純物をドーブする事によって形成されたNウェル21aが形成されている。このような半導体基板21の表面を公知の選択酸化

を施して選択箇所においてフィールド酸化膜22a, 22b, 22c, 22dを形成してある。この様なフィールド酸化膜を形成する事によって、フィールド酸化膜の間にデバイス領域23a, 23b, 23c等が画定されている。後述する如く、デバイス領域23aにはSAMOS型のメモリトランジスタを形成し、デバイス領域23bにはNチャンネルMOSトランジスタを構成し、一方デバイス領域23cにはPチャンネルMOSトランジスタを構成する。尚、基板21を形成する半導体材料としては例えばシリコンを使用する事が可能であるが、本発明はこの様な特定の物質に限定されるべきものではない。

選択酸化を施す事によって、デバイス領域23a, 23b, 23cの各々に於ける基板21の表面には約700Åの厚さを有し基板21を熱酸化することによって形成された絶縁層25a, 25b, 25cが各々のデバイス領域全体に亘って存在している。尚、各々のフィールド酸化膜下方には、チャンネルストッパ29a, 29b, 29c, 2

る。

第12図は、第4図に示した構造の大略平面構成を示した平面図であるが、第4図に於けるメモリデバイス領域23aは第12図のメモリデバイス領域23aを90度回転させて示してある事に注意すべきである。第12図に示した如く、半導体基板21にはフィールド酸化膜22を形成し点線で示した如くデバイス領域23a, 23b, 23cが画定されている。これらのデバイス領域には後述する工程を経る事によって夫々所望のデバイスを形成する。第12図には、更に、第1ポリシリコン層26をエッチング除去した切断部28a, 28bが示されている。この様にメモリトランジスタを形成するメモリデバイス領域23aに於いてのみエッチング除去した切断部28a, 28bを形成すると言う事は、第1ポリシリコン層から形成するフローティングゲートの長さ方向を切断し、各々のデバイス領域に固有のフローティングゲートを形成させる為である。即ち、第12図は便宜的な説明図であるが、通常の半導体メモ

リが形成されている。

以上の如く選択酸化を施した基板21の全面に膜をドープさせたポリシリコンを付着形成して約1,600Åの厚さに第1ポリシリコン層26を形成する。次いで、第1ポリシリコン層26の上にホトレジスト27を被着形成し、メモリトランジスタを形成すべきデバイス領域23aに於いてのみ所定のパターニングを行ない、第4図に示した如く、28a及び28bに於いてのみ第1ポリシリコン層26をエッチング除去させ所定のパターンに形成した第1ポリシリコン層部分26aを形成する。メモリ領域以外の周辺トランジスタを構成するデバイス領域23b及び23c等に於いては第1ポリシリコン層部分26bを被着させたまま残存させる。後述する説明から明らかになる如く、この様にメモリ領域に於いてのみ第1ポリシリコン層26をパターン形成して第1ポリシリコン層部分26aを形成するのは、この様な第1ポリシリコン層部分26aから各デバイス領域23aに固有的なフローティングゲートを形成する為であ

りに於いては、メモリトランジスタはM行N列の2次元アレイ上に配列して構成されるのが普通であり、その場合、隣接する半導体メモリのフローティングゲートを切断する為にエッチング除去した切断部28a及び28bを形成するものである。尚、基板21に選択酸化を施してフィールド酸化膜22を形成した後に、デバイス領域23a, 23b, 23cの各々の基板表面上に約1,050℃の温度でHCl₂酸化を施して約700Åの厚さの酸化膜25a, 25b, 25cを夫々形成してある。

上述した如く、第1ポリシリコン層26をパターン形成した後に、ホトレジスト27を除去し、次いで第5図に示した如く、約1,050℃の温度で乾燥酸素中に於いて熱酸化させ、残存する第1ポリシリコン層26a, 26bの表面部を酸化させ、第2酸化膜30a, 30bを約700Åの厚さに成長形成させる。次いで、全表面上にホトレジスト31を被着形成し、次いでホトエッチングを施すことによってホトレジスト31及び第2絶縁層30を貫通する開口32a, 32b, 32cを夫々

形成し、夫々の箇所に於いて第1ポリシリコン層26を露出させる。第5図の構成に対応する平面図を第13図に示してある。ここで注意すべき事は、第13図に於いては、第5図のデバイス領域23aの部分に90度回転した状態を示してあり、更に第5図に於いては開口32a、32cがデバイス領域の上方に位置している様に示されているが、第13図に於いてはこれらの開口はフィールド酸化膜の上方に位置して設けられていると言う事である。以下の説明から明らかになる如く、開口32a、32c等は実際的にはデバイス領域の上方ではなくフィールド酸化膜の上方に位置すべく設けられる。第5図には詳細に示していないが、第2酸化膜30を形成する為に熱酸化を行なうと切断部28a及び28bに於いても僅少な厚さの熱酸化膜が付加的に形成される。従って、第5図には第2酸化膜部分30aと第2酸化膜部分30bとが分離された様に示されているが、これらは実際上連続して形成されている。

次いで、ホトレジスト30を除去した後、全

れた第2ポリシリコン層部分33b及び33dが形成されている。これらの第2ポリシリコン層部分33b及び33dは夫々のMOSトランジスタのゲートの1部を構成する事となる。一方、フィールド酸化膜22cの上に設けられた開口32bを介して第1ポリシリコン層26bに電気的に接続された第2ポリシリコン層部分33cが形成されている。即ち、メモリデバイス領域23a以外の部分に於いて形成される第1ポリシリコン層26と第2ポリシリコン層33とは第2絶縁膜に穿設された開口32を介して設けられる貫通導体によって互いに電気的に接続されている。第6図に示した構成の平面を概略第14図に示してある。尚、第14図に於いて注意すべき点は、そのデバイス領域23aは、第4図及び第5図の場合と同様に、第5図のデバイス領域23aを90度回転させた状態を示してあるが、制御ゲートを構成する第2ポリシリコン層部分33aは90度回転させずに示してあると言う事である。即ち、第6図に示してあるメモリデバイス領域23aの第2ポ

面に膜をドーブしたポリシリコンを約3,500Åの厚さに付着形成させて第2ポリシリコン層33を形成する。尚、第1ポリシリコン層26の場合も同様であるが、第2ポリシリコン層33を形成する場合に低圧力CVD法を使用し約630℃の温度で層形成させることが可能である。以上の如くして第2ポリシリコン層33を形成した後、その全面にホトレジスト34を被覆形成させ、任意の公知なホトエッチング技術を使用してホトレジスト層34及び第2ポリシリコン層33を選択的にエッチング除去し、第6図に示した如き構成とさせる。即ち、メモリデバイス領域23aに於いては、第2酸化膜30aによって第2ポリシリコン層から形成されたフローティングゲート26aから電気的に分離された状態で第2ポリシリコン層部分33aが形成され、これはメモリトランジスタの制御ゲートとして機能する。一方、MOSトランジスタを形成すべきデバイス領域23b及び23cの夫々に於いては開口32a及び32cで夫々第1ポリシリコン層26bに電気的に接続さ

リシリコン層部分33aは紙面に対し垂直方向に延在して設けられていると言う事である。従って、制御ゲートを形成する第2ポリシリコン層部分33aは、第14図に示した如く、第1ポリシリコン層の切断部28a及び28bを垂直に横切って延在している。又、第14図に示した如く、第2ポリシリコン層部分33b、33c、33dは、夫々第2絶縁膜に穿設された開口32a、32b、32cを貫通して設けられる第2ポリシリコン材料によって形成される貫通導体33'によって夫々下方に存在する第1ポリシリコン層26bと電気的に接続されている。

次いで、パターン形成され残存するホトレジスト部分34a乃至34d及びその下方に存在する第2ポリシリコン層部分33a乃至33dをマスクとして使用し、これらの部分によって被覆されていない残存する第2酸化膜30及びその下方に存在する第1ポリシリコン層26をエッチング除去することにより、第7図に示した構造が得られる。尚、第7図の製造の平面を概略第15図に示

してあり、第7図と第15図との関係は、第6図と第14図との関係と同一である。第7図に於いて注意すべき事は、第2絶縁層30及び第1ポリシリコン層26の不要部分をエッチング除去する工程に於いて、非メモリ領域に於けるデバイス領域23b及び23cのシリコン基板は何等損傷を受けていないと言う事である。一方、このエッチング工程に於いて、切断部28a及び28bは、厚さの薄い第1絶縁層25aを部分的に露出しており、又第1絶縁層25aは第2絶縁層30と略同一の厚さであるから、第2絶縁層30と第1ポリシリコン層26の不要部分をエッチング除去する過程に於いて、メモリデバイス領域23aの基板表面に損傷40が形成される。しかしながら、後述する如く、メモリデバイス領域23aに形成されるこの様な損傷40は配線層間のメタルショートが発生させる危険性が無いので何等問題を発生する事はない。ここで注意すべき事は、メモリデバイス領域23aに発生している損傷40は、第1ポリシリコン層をメモリデバイス領域23a

に於いてパターン形成する為に設けた切断部28a及び28bによって露出されたフィールド酸化膜22と第1絶縁層25との接合部に沿ってのみである。上述したエッチング工程によって、メモリデバイス領域23aに於いては、第2絶縁層30aによって互いに電気的に分離されたフローティングゲート26aとゲート電極33aとが形成される。一方、非メモリ領域に於けるデバイス領域23b及び23cに於いては、第2絶縁層30bに穿設された開口を介して互いに電気的に接続された第1ポリシリコン層部分26及び第2ポリシリコン層部分33とによってゲート電極が形成される。

以下、第8図乃至第11図に示した如く、公知のCMOSプロセスを適用して半導体装置を完成する。即ち、第8図に示した如く、第7図の構造の全表面にホトレジスト35を被着形成させ、次いでウエル21aのデバイス領域23c上方に存在するホトレジスト35をエッチング除去して第1絶縁層25cを露出させる。この状態でウエル

21aの導電型とは反対の導電型の不純物（本実施例ではボロン）をイオン注入させる。次いで、ホトレジスト35を除去すると共に再度ホトレジスト36を全面に被着形成し、ウエル21aの上方のみホトレジスト36を残存させその他の部分をエッチング除去して第9図の状態とさせる。この様な状態に於いて基板21の導電型とは反対の導電型（本実施例では砒素及び燐）をイオン注入させる。特に、本実施例に於いては、先ず燐をイオン注入し、次いで砒素をイオン注入させる。イオン注入後ホトレジスト36をエッチング除去する。次いで、全面にPSG膜38を被着形成させ、その上にホトレジスト39を設けて公知のホトエッチング技術を適用することにより、PSG膜38の所望の箇所にコンタクト用開口を形成する。尚、その際にイオン注入させた各種不純物は基板21内へ拡散されて夫々の拡散領域37a乃至37fが形成される。次いで、第11図に示した如く、ホトレジスト39を除去した後全面に例えばアルミ等のメタルを被着形成し、公知のホ

トエッチング技術を使用することによってパターン形成し半導体装置の製造工程を終了する。以上の如くして形成された配線層の内、例えば配線層39aはソース・ドレイン拡散領域37aに接続されており、配線層39bはメモリトランジスタの制御ゲート33aに接続されており、更に配線層39cはソース・ドレイン拡散領域37bに接続されている。同様に、配線層39dはソース・ドレイン拡散領域37cに接続され、配線層39eはデバイス領域23bのMOSトランジスタのゲートに接続され、一方配線層39fはその他の方のソース・ドレイン拡散領域37dに接続されている。更に、配線層39gは埋設配線層33cに接続されている。

以上詳説した如く、本発明によれば、非メモリ領域に形成されるトランジスタの拡散領域を形成する基板表面が損傷を受けることがない。従って、メタル配線をした場合にも非メモリ領域に形成した多数のトランジスタ間を相互接続する為のメタル配線を走らせた場合にもメタル配線間にショ-

トが形成されることが排除されている。更に、本発明製造方法によれば、メモリトランジスタの第2絶縁層を形成する場合にメモリトランジスタ以外のトランジスタの上には第1ポリシリコン層が被着形成されているので、非メモリ領域に於ける、即ち周辺領域に於けるトランジスタのスレッシュホールドがオートドーピングによりばらつく事がない。又、イオン注入を行なう場合に、各ゲートを形成するポリシリコンの厚さは比較的厚く且つその内部には第2絶縁層が存在しているので、高エネルギー状態でイオン注入を行なったとしてもチャンネル領域にイオンが突き抜けて到達することが防止されており、チャンネル領域の制御性を向上させている。又、メモリトランジスタ以外の周辺トランジスタのゲート電極及びフィールド酸化膜上に形成された埋設配線層はその断面積が従来のものより大きくなっているため配線層として使用した場合の低抵抗値が約0.6乃至0.8の割合で低下し、従って高速動作を可能としている。

尚、前述した如く、メモリデバイス領域に於い

ってその1つが選択されて高状態とされる。制御ゲート33の上にはPSG膜が全面に延在して設けられており、PSG膜の上には縦方向に延在してメタル配線39が設けられている。これらメタル配線39はメモリ領域に於いてビット線を形成しており、記憶内容の書込み及び読出しの場合のデータ線として使用されるものである。ビット線39はPSG膜を貫通して設けられているコンタクト41を介して基板表面に拡散形成されたソース・ドレイン拡散領域37に接続されている。従って所定のメモリトランジスタ(メモリセル)へ書込みを行なう場合には、所望の制御ゲート(ワード線)33を高状態とし、且つ所望のメタル配線(ビット線)39を高状態とすることにより、それらの交点に存在するメモリトランジスタ(メモリセル)のフローティングゲート26へ電荷を注入させることによって記憶の書込みが行なわれる。又、第16図に示した如く、同一の制御ゲート(ワード線)33の下方に存在する複数のフローティングゲート26を互いに分割させる為に

てはフローティングゲートを形成する為に切断部28a及び28bを設けておりこの為に基板表面が部分的に損傷を受けその箇所にメタルが残存する可能性がある。しかしながら、第16図及び第17図に示した如く、実際のメモリ領域は2次元的に整然とした配列状態を成しており、非メモリ領域である周辺トランジスタ領域とは異なり複雑にメタル配線が走ると言う事が無いので、このような基板の損傷によるメタルラインが存在するとしてもそれがメタルショートの原因となることはない。即ち、第16図及び第17図は実際の半導体メモリに於けるメモリ領域の構成の1部を例示的に示したものであって、例えば第16図に於いては、制御ゲート33が横方向に走っており、制御ゲート33の下には互いに電気的に分離されると共に制御ゲート33から第2絶縁層を介して電気的に分離されているフローティングゲート26が複数個設けられている。従ってメモリ領域に於いて制御ゲート33はワード線を構成しており、周辺トランジスタによって構成されるデコーダによ

第1ポリシリコン層を付着形成した後に切断部28をエッチング除去し、従って切断部28に対応するフィールド酸化膜22と拡散領域37との接続部に沿って基板表面が損傷を受け、メタリゼーションを行なった後に基板損傷部40に残存メタルが形成される可能性がある。しかしながら、前述した如く、メモリ領域に於いては、メタル配線39はゲート電極26に対して直交する方向に整然と配列されるものであって、損傷40に残存メタルが形成されたとしてもメタル配線間のショートの原因となることはない。従って、本発明の半導体製造方法の工程に於いてはメモリ領域に於いて部分的に基板が損傷を受け残存メタルが形成されたとしても、これらのメタル残存部はメモリ領域に於いてのみ形成されるので本半導体装置の歩留を低下することは無い。一方、非メモリ領域である周辺領域に於いてはメタル配線のレイアウトは複雑な構成を有するものであるからこのような残存メタルが形成されると言う事は望ましいことではない。前述した如く、本発明に於いては非メモ

リ領域である周辺領域に於いては残存メタルが発生されることは皆無である。第17図には、第1ポリシリコン層をエッチングして切断部28を形成し同一のゲート電極(ワード線)33の下方に形成されるべきフローティングゲート26を互いに分離しており、且つこの様な切断部28を形成することにより、フィールド酸化膜22と拡散領域37との接続部が損傷を受け損傷部40に残存メタルが形成される状態を示してある。

尚、第16図に示した如く、ビット線39と拡散領域37とのコンタクト41の取り方によっては、基板の拡散領域37とフィールド酸化膜22との境界に沿って損傷40が形成されていても、損傷40にメタル残部が形成されることを防止することが可能となる。即ち、第2a図乃至第2c図に関し説明した如く、基板の損傷部40にメタル残部が形成されるのはPSG膜39にコンタクト用開口をエッチング形成する場合にエッチング液がコンタクト用開口から損傷部40の位置へ回り込む場合である。従って、第16図に示した如

く、コンタクト41用の開口を損傷40から可及的に離隔した位置に取ることによってこの様なエッチング液の損傷40への回り込みを防止することが可能となり、その場合にはメモリ領域に於いて損傷40は形成されるが、損傷40にメタル残部が形成されることを防止することが可能となる。具体例を示せば、コンタクト41用の開口と損傷40との間の直線距離を4~5 μ m以上、好適には12~13 μ m以上に設定すれば良い。更に、コンタクト41用の開口を拡散領域37の両端に可及的中央に位置させ、フィールド酸化膜22と拡散領域37との境界から可及的に遠ざけた位置に開口を設定すればメモリ領域に於けるメタル残部形成防止の効果はより向上される。

以上、本発明の具体的構成について詳細に説明したが、本発明はこれら具体例に限定されるべきものではなく、本発明の技術的範囲を逸脱すること無しに種々の変形が可能である事は勿論である。例えば半導体物質及び不純物の導電型は上述した実施例の特定のものに限定されるべきものではない。

くその反対の導電型のものを使用することも可能である。又、上述した実施例は基板に基板の導電型と反対の導電型の不純物で構成したウエルを有する場合に付いて説明したが、基板にウエルを設けることは本発明の実施上必ずしも必要なものではない。

4. 図面の簡単な説明

第1図は従来の半導体メモリの構造を示した断面図、第2a図乃至第2c図は従来の半導体装置の製造方法に於いてフィールド酸化膜と拡散領域との接続部に於いて残存メタルが発生される状態を示した各説明図、第3図はフィールド酸化膜と拡散領域との接続部に沿って残存メタル16が形成されメタル配線14と15との間をショートしている状態を示した説明図、第4図乃至第11図は本発明半導体製造方法の1実施例の各工程を示した各断面図、第12図乃至第15図は夫々第4図乃至第7図に示した構成に略対応する平面を示した各平面図、第16図及び第17図は本半導体装置のメモリ領域の詳細の1例を示した各説明図、

である。

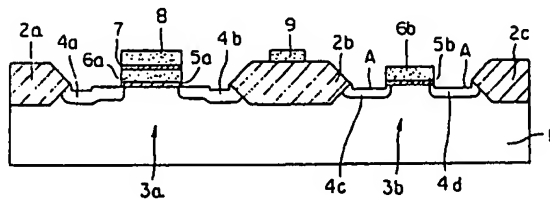
(符号の説明)

- 21 : 半導体基板
- 22 : フィールド酸化膜
- 23 : デバイス領域
- 25 : 第1絶縁層(ゲート酸化膜)
- 26 : 第1ポリシリコン層
- 30 : 第2絶縁層
- 32 : 開口
- 33 : 第2ポリシリコン層
- 33' : 貫通導体
- 40 : 残存メタル
- 28 : 切断部
- 37 : 拡散領域

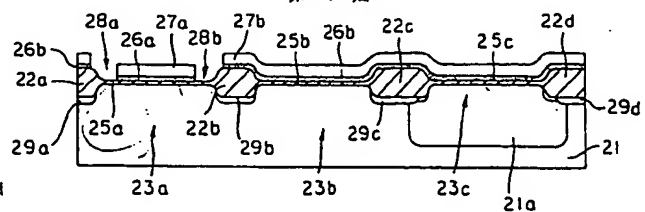
特許出願人 株式会社 リ コ ー

代 理 人 小 橋 正 明

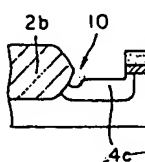
第1圖



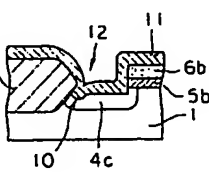
第4圖



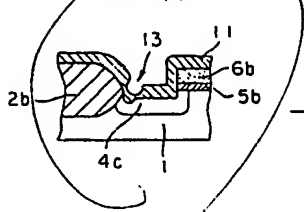
第2a圖



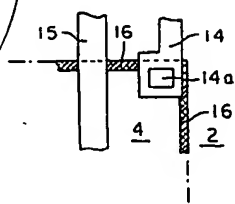
第2b圖



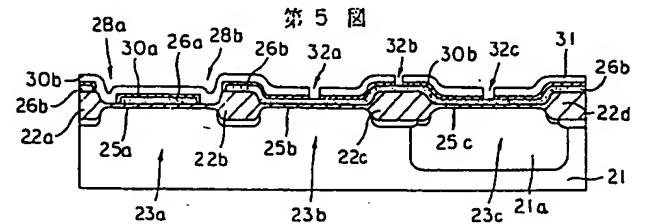
第2c圖



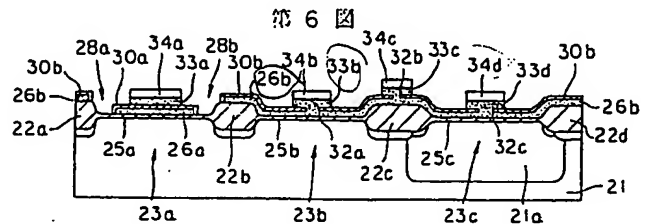
第3圖



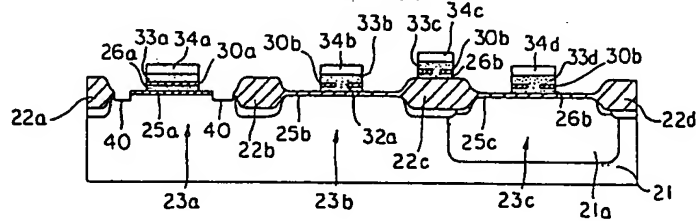
第5圖



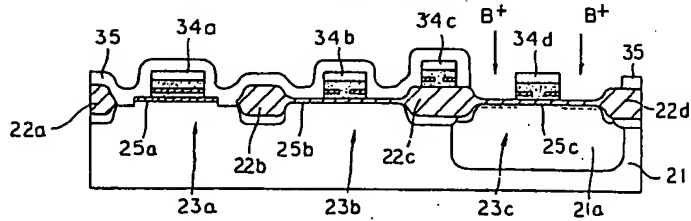
第6圖



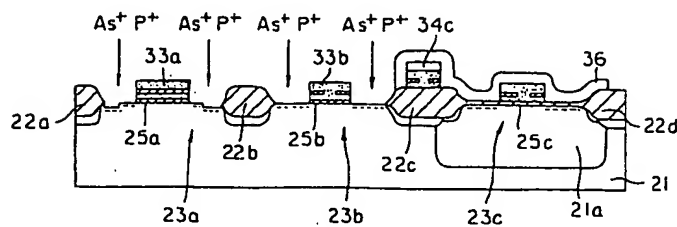
第7圖



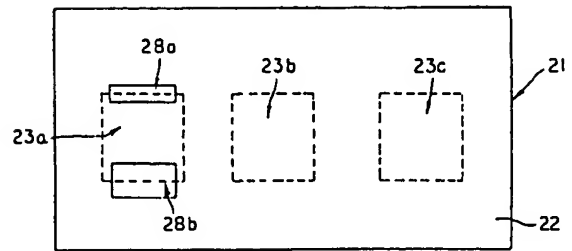
第8圖



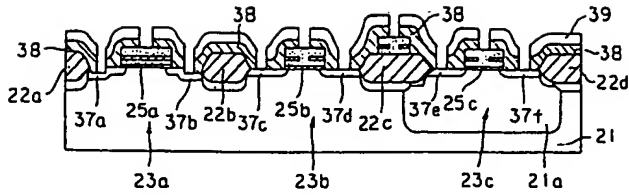
第9圖



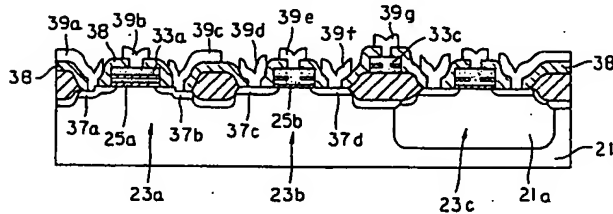
第12図



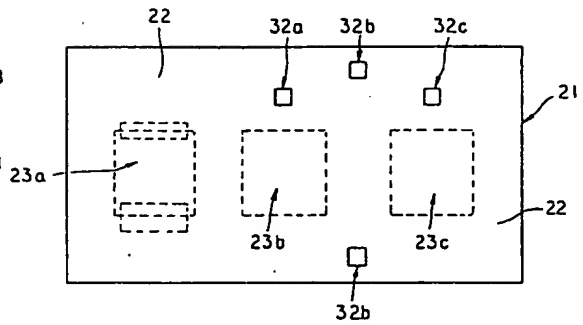
第10図



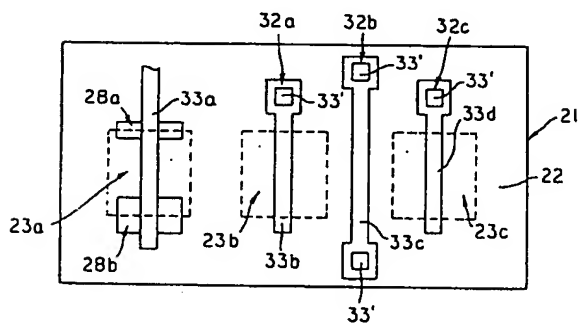
第11図



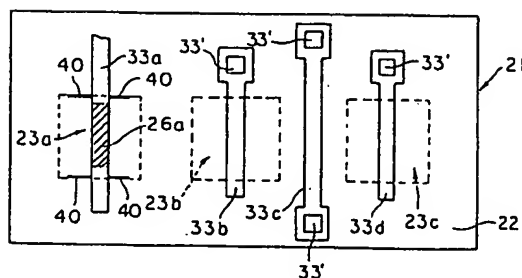
第13図



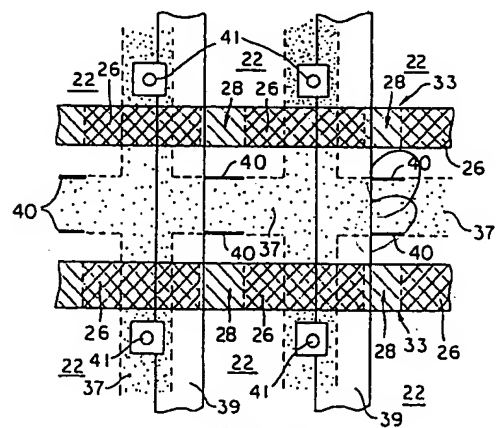
第14図



第15図



第16図



第17図

